

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YIL-SUK YANG, ET AL.

Application No.:

Filed:

For: **DATA BUS SYSTEM FOR MICRO
CONTROLLER**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2002-61487	9 October 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: 7/11/07

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number:: Korean Patent Application 2002-0061487

Date of Application:: 09 October 2002

Applicant(s):: Electronics and Telecommunications Research Institute

28 October 2002

COMMISSIONER

[Bibliography]

[Document Name] Patent Application
[Classification] Patent
[Receiver] Commissioner
[Reference No.] 0004
[Filing Date] 9 October 2002
[IPC] G06F

[Title] Data bus system for micro controller

[Applicant]
[Name] Electronics and Telecommunications Research Institute
[Applicant code] 3-1998-007763-8

[Attorney]
[Name] Young-pil Lee
[Attorney code] 9-1998-000334-6
[General Power of Attorney]
Registration No.] 2001-038378-6

[Attorney]
[Name] Hae-young Lee
[Attorney code] 9-1999-000227-4
[General Power of Attorney]
Registration No.] 2001-038396-8

[Inventor]
[Name] YANG, Yil Suk
[Resident]
Registration No.] 670516-1783033
[Zip Code] 305-503
[Address] 204-806 Songkangmaeul Apt. Songkang-dong, Yusong-gu
Daejeon-city, Rep. of Korea
[Nationality] Republic of Korea

[Inventor]
[Name] KIM, Jong Dae
[Resident]
Registration No.] 540809-1110127
[Zip Code] 302-243
[Address] 108-2105 Daejayonmaeul Apt. Gwanjeo-dong, Seo-gu
Daejeon-city, Rep. of Korea
[Nationality] Republic of Korea

[Inventor]
[Name] ROH, Tae Moon

[Resident]
Registration No.] 620306-1670916
[Zip Code] 305-345
[Address] 107-202 Hanwool Apt. Shinsung-dong, Yusong-gu
Daejeon-city, Rep. of Korea
[Nationality] Republic of Korea

[Inventor]
[Name] LEE, Dae Woo
[Resident]
Registration No.] 560218-1670315
[Zip Code] 305-333
[Address] 110-1506 Hanbit Apt. 99 Eoeun-dong, Yusong-gu
Daejeon-city, Rep. of Korea
[Nationality] Republic of Korea

[Inventor]
[Name] KIM, Sang Gi
[Resident]
Registration No.] 570102-1670422
[Zip Code] 305-325
[Address] 802-301 Yeolmaemaeul 8 danji, 520-1, Noeun-dong
Yusong-gu, Daejeon-city, Rep. of Korea
[Nationality] Republic of Korea

[Inventor]
[Name] PARK, Il Yong
[Resident]
Registration No.] 711201-1524323
[Zip Code] 450-020
[Address] 404-8 Hapjeong-dong, Pyeongtaek-city, Kyungki-do
Rep. of Korea
[Nationality] Republic of Korea

[Inventor]
[Name] YU, Byoung Gon
[Resident]
Registration No.] 570418-1797911
[Zip Code] 305-390
[Address] 306-404 Expo Apt. Jeonmin-dong, Yusong-gu, Daejeon-city
Rep. of Korea
[Nationality] Republic of Korea

[Request for
Examination] Requested

[Purpose]

We file as above according to Art. 42 of the Patent Law, request the examination as above according to Art. 60 of the Patent Law.

Attorney

Young-pil Lee

Attorney

Hae-young Lee

[Fee]

[Basic page]	20 Sheet(s)	29,000 won
[Additional page]	3 Sheet(S)	3,000 won
[Priority claiming fee]	0 Case(S)	0 won
[Examination fee]	14 Claim(s)	557,000 won
[Total]	589,000 won	
[Reason for Reduction]	Government Invented Research Institution	
[Fee after Reduction]	294,500 won	

[Transfer of Technology]	Allowable
[Licensing]	Allowable
[Technology Training]	Allowable

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0061487
Application Number PATENT-2002-0061487

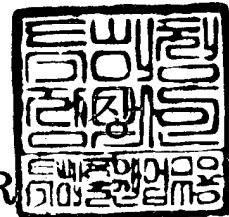
출 원 년 월 일 : 2002년 10월 09일
Date of Application OCT 09, 2002

출 원 인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institu

2002 년 10 월 28 일



특 허 청
COMMISSIONER



1020020061487

출력 일자: 2002/10/29

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0004
【제출일자】 2002.10.09
【국제특허분류】 G06F
【발명의 명칭】 마이크로 컨트롤러를 위한 데이터 버스 시스템
【발명의 영문명칭】 Data bus system for micro controller
【출원인】

【명칭】 한국전자통신연구원
【출원인코드】 3-1998-007763-8

【대리인】

【성명】 이영필
【대리인코드】 9-1998-000334-6
【포괄위임등록번호】 2001-038378-6

【대리인】

【성명】 이해영
【대리인코드】 9-1999-000227-4
【포괄위임등록번호】 2001-038396-8

【발명자】

【성명의 국문표기】 양일석
【성명의 영문표기】 YANG, Yil Suk
【주민등록번호】 670516-1783033
【우편번호】 305-503
【주소】 대전광역시 유성구 송강동 송강마을아파트 204동 806호
【국적】 KR

【발명자】

【성명의 국문표기】 김종대
【성명의 영문표기】 KIM, Jong Dae
【주민등록번호】 540809-1110127

【우편번호】 302-243
【주소】 대전광역시 서구 관저동 대자연마을아파트 108동 2105호
【국적】 KR

【발명자】

【성명의 국문표기】 노태문
【성명의 영문표기】 ROH, Tae Moon
【주민등록번호】 620306-1670916
【우편번호】 305-345
【주소】 대전광역시 유성구 신성동 한울아파트 107동 202호
【국적】 KR

【발명자】

【성명의 국문표기】 이대우
【성명의 영문표기】 LEE, Dae Woo
【주민등록번호】 560218-1670315
【우편번호】 305-333
【주소】 대전광역시 유성구 어은동 99번지 한빛아파트 110동 1506호
【국적】 KR

【발명자】

【성명의 국문표기】 김상기
【성명의 영문표기】 KIM, Sang Gi
【주민등록번호】 570102-1670422
【우편번호】 305-325
【주소】 대전광역시 유성구 노은동 520-1 열매마을8단지 802동 301호
【국적】 KR

【발명자】

【성명의 국문표기】 박일용
【성명의 영문표기】 PARK, Il Yong
【주민등록번호】 711201-1524323
【우편번호】 450-020
【주소】 경기도 평택시 합정동 404-8
【국적】 KR

1020020061487

출력 일자: 2002/10/29

【발명자】

【성명의 국문표기】

유병곤

【성명의 영문표기】

YU,Byoung Gon

【주민등록번호】

570418-1797911

【우편번호】

305-390

【주소】

대전광역시 유성구 전민동 엑스포아파트 306동 404호

【국적】

KR

【심사청구】

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인 이영필 (인) 대리인

이해영 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

3 면 3,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

14 항 557,000 원

【합계】

589,000 원

【감면사유】

정부출연연구기관

【감면후 수수료】

294,500 원

【기술이전】

【기술양도】

희망

【실시권 허여】

희망

【기술지도】

희망

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 마이크로 컨트롤러를 위한 데이터 버스 시스템은, 입/출력부, 중앙 처리 장치, 내부 메모리 및 주변 회로부를 포함하는 마이크로 컨트롤러를 위한 데이터 버스 시스템에 관한 것이다. 이 데이터 버스 시스템은, 중앙 처리 장치로부터 나가는 데이터 와 외부로부터 입/출력부 또는 내부 메모리로 들어가는 데이터에 의해 사용되는 외부 억세스 버스와, 중앙 처리 장치로 들어가는 데이터와 입/출력부 또는 내부 메모리로부터 나가는 데이터와, 그리고 주변 회로부로 들어가거나 주변 회로부로부터 나가는 데이터에 의해 사용되는 내부 억세스 버스, 및 내부 메모리가 입/출력부로 통해 나가는 데이터에 의해 사용되는 내부 메모리 테스트 버스를 구비한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

마이크로 컨트롤러를 위한 데이터 버스 시스템{Data bus system for micro controller}

【도면의 간단한 설명】

도 1은 종래의 마이크로 컨트롤러를 위한 데이터 버스 시스템의 일 예를 나타내 보인 블록도이다.

도 2는 본 발명에 따른 마이크로 컨트롤러를 위한 데이터 버스 시스템을 개략적으로 나타내 보인 블록도이다.

도 3은 도 2의 데이터 버스 시스템의 회로 구성을 구체적으로 나타내 보인 회로도이다.

도 4는 본 발명에 따른 마이크로 컨트롤러를 위한 데이터 버스 시스템의 테스트 모드시에서의 클락 신호에 따른 내부 메모리 데이터 이동을 설명하기 위하여 나타내 보인 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 마이크로 컨트롤러를 위한 데이터 버스 시스템에 관한 것으로서, 특히 여러개의 하부 데이터 버스들을 구비한 마이크로 컨트롤러를 위한 데이터 버스 시스템에 관한 것이다.

<6> 일반적으로 마이크로프로세서(microprocessor)는 중앙 처리 장치(CPU: Central Processing Unit)의 여러 형태들 중 하나로서 컴퓨터의 중앙 처리 장치를 단일의 집적 회로에 집적한 반도체 소자이다. 마이크로 컨트롤러(micro controller)는, 이와 같은 마이크로프로세서를 이용한 중앙 처리 장치와, 일정한 용량의 기억 장치와, 그리고 입출력 제어 회로 등을 단일의 칩에 모두 내장한 것을 말한다. 이와 같은 마이크로 컨트롤러 내에서의 데이터 이동은 데이터 버스(data bus)를 통해 이루어지며, 데이터 버스를 통한 데이터 이동에 관련된 시스템을 데이터 버스 시스템이라 한다.

<7> 도 1은 종래의 마이크로 컨트롤러를 위한 데이터 버스 시스템의 일 예를 나타내 보인 블록도이다.

<8> 도 1을 참조하면, 상기 데이터 버스 시스템은 데이터 버스(102) 및 어드레스 버스(104)를 구비하며, 이 데이터 버스(102) 및 어드레스 버스(104)는 각각 입/출력부(112), 중앙 처리 장치(114), 메모리(116) 및 주변 회로부(118)와 연결된다. 따라서 중앙 처리 장치(114)와 메모리(116) 상호간, 중앙 처리 장치(114)와 주변 회로부(118) 상호간, 또는 중앙 처리 장치나 입/출력부(112) 상호간에는 데이터 버스(102)를 통해 데이터를 주고 받는다. 각각의 경우, 데이터 이동에 필요한 블록만 열리고 나머지 블록들은 열리지 않음으로써 데이터 이동을 방해하지 않는다.

<9> 그런데 이와 같은 종래의 데이터 버스 시스템은 입/출력부(112), 중앙 처리 장치(114), 메모리(116) 및 주변 회로부(118)가 하나의 데이터 버스(102)를 모두 공유하는 구조로 이루어진다. 따라서 데이터 버스(102)에 걸리는 부하 커패시턴스

가 매우 크게 된다. 특히 최근의 추세는 마이크로 컨트롤러 내에 보다 많은 주변 회로들이 추가되는 추세에 있으며, 이에 따라 주변 회로들의 입/출력이 증가하게 되며, 결과적으로 데이터 버스(102)에 걸리는 부하 또한 증가하게 된다. 이와 같이 데이터 버스(102)에 걸리는 부하가 증가함에 따라 동작 속도가 떨어지고 전력 소모가 증가하게 된다는 문제가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명이 이루고자 하는 기술적 과제는 데이터 버스 시스템을 구성하는 데이터 버스의 부하 커패시턴스를 감소시킴으로써 동작 속도를 증가시키고 전력 소모를 감소시킬 수 있는 마이크로 컨트롤러를 위한 데이터 버스 시스템을 제공하는 것이다.

【발명의 구성 및 작용】

<11> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 마이크로 컨트롤러를 위한 데이터 버스 시스템은, 입/출력부, 중앙 처리 장치, 내부 메모리 및 주변 회로부를 포함하는 마이크로 컨트롤러를 위한 데이터 버스 시스템에 있어서, 상기 중앙 처리 장치로부터 나가는 데이터와 외부로부터 상기 입/출력부 또는 내부 메모리로 들어가는 데이터에 의해 사용되는 외부 엑세스 버스; 상기 중앙 처리 장치로 들어가는 데이터와 상기 입/출력부 또는 내부 메모리로부터 나가는 데이터와, 그리고 상기 주변 회로부로 들어가거나 주변 회로부로부터 나가는 데이터에 의해 사용되는 내부 엑세스 버스; 및 상기 내부 메모리가 상기 입/출력부로 통해 나가는 데이터에 의해 사용되는 내부 메모리 테스트 버스를 구비하는 것을 특징으로 한다.

- <12> 상기 외부 억세스 버스 및 내부 억세스 버스는 래치 구조로 상호 연결되는 것이 바람직하다.
- <13> 본 발명에 있어서, 상기 중앙 처리 장치와 상기 내부 억세스 버스 사이에서 데이터 이동 통로를 제공하는 중앙 처리 장치 읽기 버스; 중앙 처리 장치 읽기 신호에 의해 인에이블되어 상기 중앙 처리 장치 읽기 버스를 통해 데이터가 이동되도록 하는 제1 3-상태 버퍼; 상기 중앙 처리 장치와 상기 외부 억세스 버스 사이에서 데이터 이동 통로를 제공하는 중앙 처리 장치 쓰기 버스; 및 중앙 처리 장치 쓰기 신호에 의해 인에이블되어 상기 중앙 처리 장치 쓰기 버스를 통해 데이터가 이동되도록 하는 제2 3-상태 버퍼를 더 구비하는 것이 바람직하다.
- <14> 그리고 상기 내부 메모리를 읽기 위하여 상기 내부 메모리와 상기 내부 억세스 버스 사이에 배치된 내부 메모리 읽기 컨트롤 블록; 및 상기 내부 메모리를 쓰기 위하여 상기 내부 메모리와 상기 외부 억세스 버스 사이에 배치된 내부 메모리 쓰기 컨트롤 블록을 더 구비하는 것이 바람직하다.
- <15> 또한 상기 주변 회로부로부터 상기 내부 억세스 버스로의 데이터 이동 통로를 제공하는 주변 회로부 읽기 버스; 주변 회로부 읽기 신호에 의해 인에이블되어 상기 주변 회로부 읽기 버스를 통해 데이터가 이동되도록 하는 제3 3-상태 버퍼; 상기 내부 억세스 버스로부터 상기 주변 회로부의 데이터 이동 통로를 제공하는 주변 회로부 쓰기 버스; 및 주변 회로부 쓰기 신호에 의해 인에이블되어 상기 주변 회로부 쓰기 버스를 통해 데이터가 이동되도록 하는 제4 3-상태 버퍼를 더 구비하는 것이 바람직하다.

- <16> 또한 소정의 인에이블 신호에 의해 인에이블되어 상기 내부 메모리와 상기 내부 메모리 테스트 버스 사이의 데이터 전송을 가능하게 하는 제5 3-상태 버퍼를 더 구비하는 것이 바람직하다.
- <17> 이 경우 상기 인에이블 신호는 내부 메모리 액세스 인에이블 신호, 테스트 모드 신호 및 내부 메모리 인에이블 신호를 입력하는 하는 AND 게이트의 출력 신호인 것이 바람직하다. 그리고 상기 내부 메모리 액세스 인에이블 신호는 시스템 클락에 동기되어 제공되며, 상기 내부 메모리 액세스 인에이블 신호의 상승 에지 혹은 하강 에지에 동기되어 상기 내부 메모리 데이터가 덤프되는 것이 바람직하다.
- <18> 또한 외부 데이터 전송을 위한 데이터 포트; 상기 데이터 포트의 데이터를 컨트롤하기 위한 데이터 포트 컨트롤 블록; 및 상기 데이터 포트와 상기 데이터 포트 컨트롤 블록 및 상기 외부 액세스 버스 사이의 데이터 전송 통로를 제공하는 외부 데이터 버스를 더 구비하는 것이 바람직하다.
- <19> 이 경우 소정의 인에이블 신호에 의해 인에이블되어 상기 내부 메모리 테스트 버스로부터 상기 데이터 포트 컨트롤 블록으로 데이터를 전송시키는 제6 3-상태 버퍼를 더 구비할 수 있다.
- <20> 상기 인에이블 신호는 테스트 모드 신호 및 내부 메모리 인에이블 신호를 입력으로 하는 AND 게이트의 출력 신호인 것이 바람직하다.
- <21> 그리고 외부 데이터 쓰기 신호에 의해 인에이블되어 상기 내부 액세스 버스로부터 상기 데이터 포트 컨트롤 블록으로의 데이터 전송을 가능하게 하는 제7 3-상태 버퍼; 및 내부 메모리 읽기 신호에 의해 인에이블되어 상기 내부 액세스 버스로부터 상기 데이터

포트 컨트롤 블록으로의 데이터 전송을 가능하게 하는 제8 3-상태 버퍼를 더 구비하는 것이 바람직하다.

<22> 또한 소정의 인에이블 신호에 의해 인에이블되어 상기 데이터 포트로부터 상기 외부 액세스 버스로의 데이터 이동을 가능하도록 하는 제8 3-상태 버퍼를 더 구비하는 것이 바람직하다.

<23> 이 경우 상기 인에이블 신호는 내부 메모리 쓰기 신호, 외부 데이터 읽기 신호 및 외부 메모리 읽기 신호를 입력으로 하는 OR 게이트의 출력 신호인 것이 바람직하다.

<24> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

<25> 도 2는 본 발명에 따른 마이크로 컨트롤러를 위한 데이터 버스 시스템을 개략적으로 나타내 보인 블록도이다.

<26> 도 2를 참조하면, 본 발명에 따른 데이터 버스 시스템은 적어도 세 개의 버스 구조, 즉 내부 액세스 버스(internal access bus)(202), 외부 액세스 버스(external access bus)(204) 및 내부 메모리 테스트 버스(206)를 포함한다. 상기 내부 액세스 버스(202)와 외부 액세스 버스(204)는 래치(latch) 구조(208)에 의해 상호 연결된다. 이와 같은 내부 액세스 버스(202), 외부 액세스 버스(204) 및 내부 메모리 테스트 버스(206)는, 마이크로 컨트롤러 내에 포함되는 입/출력부(212), 중앙 처리 장치(214), 내부 메모리(216) 및 주변 회로부(218) 사이에 데이터를 이동시키기 위한 통로를 제공한다. 입/출력부(212)는 외부로부터 데이터를 입력받거나 또는 외부로 데이터를 출력시키는 기

능을 수행한다. 중앙 처리 장치(214)는 전체적인 제어를 수행하기 위하여 여러 가지 제어 신호들을 발생시키며, 일반적인 연산과 처리를 수행한다. 내부 메모리(216)는 마이크로 컨트롤러를 동작시키기 위한 구동 프로그램이 내장되는 장소를 제공한다. 내부 메모리(216)로서는 휘발성이나 비휘발성을 모두 사용할 수 있으며, 시스템 프로그램 뿐만 아니라 응용 프로그램도 내장될 수 있다. 주변 회로부(218)는 각종 주변 회로들을 포함하는데, 마이크로 컨트롤러의 성능과 용도에 따라 다양한 범주를 갖는다. 주변 회로부(218) 내에 포함되는 주변 회로들의 예로서는 타이머, 아날로그/디지털 컨버터, 디지털/아날로그 컨버터, 호스트 인터페이스 회로 등이 있다.

<27> 상기 내부 억세스 버스(202)는, 중앙 처리 장치(214)로 들어가는 데이터에 의해 사용되고, 입/출력부(212) 또는 내부 메모리(216)로부터 나가는 데이터에 의해 사용되며, 그리고 주변 회로부(218)로 들어가거나 주변 회로부(218)로부터 나가는 데이터에 의해서도 사용된다. 상기 외부 억세스 버스(204)는, 중앙 처리 장치(214)로부터 나가는 데이터에 의해 사용되며, 입/출력부(212) 또는 내부 메모리(216)로 들어가는 데이터에 의해 서도 사용된다. 그리고 상기 내부 메모리 테스트 버스(206)는, 내부 메모리 테스트 모드로 동작시에 내부 메모리(216)가 입/출력부(212)로 통해 나가는 데이터에 의해 사용된다.

<28> 도 3은 도 2의 데이터 버스 시스템의 회로 구성을 구체적으로 나타내 보인 회로도이다.

<29> 도 3을 참조하면, 중앙 처리 장치(214)와 내부 억세스 버스(202) 사이에는 중앙 처리 장치 읽기 버스(301) 및 제1 3-상태 버퍼(401)가 배치된다. 즉 내부 억세스 버스(202)로부터 중앙 처리 장치(214)로 데이터를 이동시키는 경우에는 제1 3-상태 버퍼

(401)의 인에이블 신호(CDBRDEN)에 의해 제1 3-상태 버퍼(401)가 열리고, 이에 따라 상기 데이터는 중앙 처리 장치 읽기 버스(301)와 제1 3-상태 버퍼(401)를 통해 내부 억세스 버스(202)로부터 중앙 처리 장치(214)로 이동된다. 중앙 처리 장치(214)와 외부 억세스 버스(204) 사이에는 중앙 처리 장치 쓰기 버스(302) 및 제2 3-상태 버퍼(402)가 배치된다. 즉 중앙 처리 장치(214)로부터 외부 억세스 버스(204)로 데이터를 이동시키는 경우에는 제2 3-상태 버퍼(402)의 인에이블 신호(CDBWREN)에 의해 제2 3-상태 버퍼(402)가 열리고, 이에 따라 상기 데이터는 중앙 처리 장치 쓰기 버스(302)와 제2 3-상태 버퍼(402)를 통해 중앙 처리 장치(214)로부터 외부 억세스 버스(204)로 이동된다.

<30> 주변 회로부(218)와 내부 억세스 버스(202) 사이에는, 주변 회로부 읽기 버스(303)와 제3 3-상태 버퍼(403), 그리고 주변 회로부 쓰기 버스(304)와 제4 3-상태 버퍼(404)가 배치된다. 주변 회로부(218)로부터 내부 억세스 버스(202)로 데이터가 이동되는 경우, 제3 3-상태 버퍼(403)의 인에이블 신호(PERIRDEN)에 의해 제3 3-상태 버퍼(403)가 열리며, 따라서 상기 데이터는 주변 회로부 읽기 버스(303)와 제3 3-상태 버퍼(403)를 통해 주변 회로부(218)로부터 내부 억세스 버스(202)로 이동된다. 마찬가지로, 내부 억세스 버스(202)로부터 주변 회로부(218)로 데이터가 이동되는 경우, 제4 3-상태 버퍼(404)의 인에이블 신호(PERIWREN)에 의해 제4 3-상태 버퍼(404)가 열리며, 따라서 상기 데이터는 주변 회로부 쓰기 버스(304)와 제4 3-상태 버퍼(404)를 통해 내부 억세스 버스(202)로부터 주변 회로부(218)로 이동된다.

<31> 내부 메모리(216)와 내부 억세스 버스(202) 사이에는 내부 메모리 읽기 컨트롤 블록(502), 내부 메모리 쓰기 블록(504) 및 메모리 버스(305)가 배치된다. 내부 메모리 읽기 컨트롤 블록(502)은, 내부 메모리(216)를 읽을 경우 메모리 버스(305)와 내부 억세스

스 버스(202) 사이의 데이터 이동을 컨트롤 하기 위한 컨트롤 신호들을 발생시킨다. 내부 메모리 쓰기 컨트롤 블록(504)은, 내부 메모리(216)를 쓸 경우 메모리 버스(305)와 외부 억세스 버스(204) 사이의 데이터 이동을 컨트롤 하기 위한 컨트롤 신호들을 발생시킨다. 이 내부 메모리 읽기 컨트롤 블록(502)과 내부 메모리 쓰기 컨트롤 블록(504)은 외부 메모리를 사용할 때에서 사용되지 않는다. 메모리 버스(305)는 내부 메모리(216)와 내부 억세스 버스(202) 또는 외부 억세스 버스(204) 사이의 데이터 이동 통로를 제공하기 위한 것이다.

<32> 상기 내부 메모리(216)는 내부 메모리 테스트 버스(206)를 통해 데이터 포트 컨트롤 블록(506)과 연결된다. 내부 메모리 테스트 버스(206)는 내부 메모리 테스트 모드시에만 사용된다. 내부 메모리가 읽기 전용일 경우 내부 메모리 테스트 버스(206)를 사용하여 큰 사이즈의 읽기 전용 내부 메모리(216)를 이 데이터 포트 컨트롤 블록(506)과 내부 메모리 테스트 버스(206)를 사용하여 상기 테스트를 수행하게 되면 다른 데이터 이동에 영향을 주지 않고 빠른 속도로 테스트를 수행할 수 있다.

<33> 내부 메모리 테스트 버스(206)와 메모리 버스(305) 사이는 제5 3-상태 버퍼(405)가 배치되며, 내부 메모리 테스트 버스(206)와 데이터 포트 컨트롤 블록(506) 사이에는 제6 3-상태 버퍼(406)가 배치된다. 제5 3-상태 버퍼(405)의 인에이블 신호는 제1 AND 게이트(602)의 출력 신호이다. 제1 AND 게이트(602)의 입력 단자로는 내부 메모리 인에이블 신호(IMEMEN), 테스트 모드 인에이블 신호(TESTMODE) 및 내부 메모리 억세스 인에이블 신호(IOE)가 입력된다. 따라서 제1 AND 게이트(602)로 내부 메모리 인에이블 신호(IMEMEN), 테스트 모드 인에이블 신호(TESTMODE) 및 내부 메모리 억세스 인에이블 신호(IOE)가 모두 하이 레벨(high level)로 입력되는 경우에만 제5 3-상태 버퍼(405)가 열리

게 되어 데이터가 내부 메모리(216)와 내부 메모리 테스트 버스(206) 사이로 이동할 수 있다. 제6 3-상태 버퍼(406)의 인에이블 신호는 제2 AND 게이트(604)의 출력 신호이다. 제2 AND 게이트(604)의 입력 단자로는 내부 메모리 인에이블 신호(IMEMEN) 및 테스트 모드 인에이블 신호(TESTMODE)가 입력된다. 따라서 제2 AND 게이트(604)로 내부 메모리 인에이블 신호(IMEMEN) 및 테스트 모드 인에이블 신호(TESTMODE)가 모두 하이 레벨로 입력되는 경우에만 제6 3-상태 버퍼(406)가 열리게 되어 데이터가 내부 메모리 테스트 버스(206)와 데이터 포트 컨트롤 블록(506) 사이로 이동할 수 있다.

<34> 데이터 포트 컨트롤 블록(506)과 내부 억세스 버스(202) 사이에는 제7 3-상태 버퍼(407) 및 제8 3-상태 버퍼(408)가 각각 배치된다. 제7 3-상태 버퍼(407)의 인에이블 신호는 외부 데이터 쓰기 신호(EIOWR)이며, 제8 3-상태 버퍼(408)의 인에이블 신호는 내부 메모리 읽기 신호(IMEMRD)이다. 즉 외부 데이터를 쓰는 경우, 외부 데이터 쓰기 신호(EIOWR)가 하이 레벨로 제7 3-상태 버퍼(407)로 입력되면, 제7 3-상태 버퍼(407)가 열려서 내부 억세스 버스(202)로부터 데이터 포트 컨트롤 블록(506)으로 데이터가 전송된다. 마찬가지로 내부 메모리를 읽을 경우, 내부 메모리 읽기 신호(IMEMRD)가 하이 레벨로 제8 3-상태 버퍼(408)로 입력되면, 제8 3-상태 버퍼(408)가 열려서 내부 억세스 버스(202)로부터 데이터 포트 컨트롤 블록(506)으로 전송된 데이터는 외부 데이터 버스(208)를 통해 데이터 포트(508)로 전송된다.

<35> 데이터 포트(508)는 외부 핀으로 외부 데이터를 읽을 경우, 내부 메모리를 쓸 경우, 또는 외부 메모리를 읽을 경우에 사용되며, 이를 위하여 제8 3-상태 버퍼(408)를 통해 외부 억세스 버스(204)와 연결된다. 제8 3-상태 버퍼(408)의 인에이블 신호는 OR 게이

트(606)의 출력 단자로부터 출력되는 출력 신호이다. OR 게이트(606)의 입력 단자로는 내부 메모리 쓰기 신호(IMEMWR), 외부 데이터 읽기 신호(EIORD) 및 외부 메모리 읽기 신호(EMEMRD)가 입력된다. 따라서 내부 메모리를 쓰고자 하는 경우, 외부 데이터를 읽고자 하는 경우 또는 외부 메모리를 읽고자 하는 경우 OR 게이트(606)의 출력 단자로 하이 레벨의 출력 신호가 출력되고, 이 출력 신호는 제8 3-상태 버퍼(408)를 열리게 하여 데이터 포트(508)로부터 외부 억세스 버스(205)로 데이터를 전송시킨다.

<36> 이와 같은 데이터 버스 시스템에서 마이크로 컨트롤러를 구성하는 구성 요소들 사이의 데이터 전송 방식을 보다 상세히 설명하면 다음과 같다.

<37> 먼저 중앙 처리 장치(214)에서 주변 회로부(218)로의 데이터 이동은, 제2 3-상태 버퍼(402) 및 제4 3-상태 버퍼(404)가 열릴 수 있도록 적절한 인에이블 신호를 각각 인가함으로써, 중앙 처리 장치 쓰기 버스(302), 외부 억세스 버스(204), 내부 억세스 버스(202) 및 주변 회로부 쓰기 버스(304)를 차례로 거치면서 이루어질 수 있다. 주변 회로부(218)로부터 중앙 처리 장치(214)로의 데이터 이동은 주변 회로부 읽기 버스(303), 내부 억세스 버스(202) 및 중앙 처리 읽기 버스(301)를 차례로 거치면서 이루어질 수 있다. 이 경우 제3 3-상태 버퍼(403)와 제1 3-상태 버퍼(401)는 적절한 인에이블 신호의 인가에 의해 열리는 상태가 된다.

<38> 다음에 중앙 처리 장치(214)에서 내부 메모리(216)로의 데이터 이동은, 제2 3-상태 버퍼(402)가 열린 상태에서 중앙 처리 장치 읽기 버스(302), 외부 억세스 버스(204), 내부 메모리 쓰기 컨트롤 블록(504) 및 메모리 버스(305)를 차례로 거치면서 이루어진다. 반대로 내부 메모리(216)에서 중앙 처리 장치(214)로의 데이터 이동은, 제1 3-상태

버퍼(401)가 열린 상태에서 메모리 버스(305), 내부 메모리 읽기 컨트롤 블록(502), 내부 억세스 버스(202) 및 중앙 처리 장치 읽기 버스(301)를 차례로 거치면서 이루어진다.

<39> 주변 회로부(218)로부터 내부 메모리(216)로의 데이터 이동은, 제3 3-상태 버퍼(403)가 열린 상태에서 주변 회로부 읽기 버스(303), 내부 억세스 버스(202), 외부 억세스 버스(204), 내부 메모리 쓰기 컨트롤 블록(504) 및 내부 메모리 버스(305)를 차례로 거치면서 이루어진다. 반대로 내부 메모리(216)로부터 주변 회로부(218)로의 데이터 이동은, 제4 3-상태 버퍼(404)가 열린 상태에서 내부 메모리 버스(305), 내부 메모리 읽기 컨트롤 블록(502), 내부 억세스 버스(202) 및 주변 회로부 쓰기 버스(304)를 차례로 거치면서 이루어진다.

<40> 외부 메모리로부터 중앙 처리 장치(214)로의 데이터 이동을 위해서는, 먼저 데이터 포트(508)를 통해 입력되는 외부 메모리로부터의 데이터가, 제8 3-상태 버퍼(408)가 열린 상태에서 외부 데이터 버스(208)를 통해 외부 억세스 버스(204)로 전송된다. 이때 제8 3-상태 버퍼(408)는, 외부 메모리 읽기 신호(EMEMRD)에 의해 출력되는 OR 게이트(606)에 의해 인에이블된다. 외부 억세스 버스(204)로 전송된 데이터는, 내부 억세스 버스(202)를 통해 제1 3-상태 버퍼(401)가 열린 상태에서 중앙 처리 장치 읽기 버스(301)를 통해 중앙 처리 장치(214)로 전송된다. 상기 외부 메모리로부터의 데이터가 주변 회로부(218)로도 전송될 수 있는데, 이 경우에는 내부 억세스 버스(202)까지 데이터가 전송되는 과정이 동일하며, 내부 억세스 버스(202)까지 전송된 데이터는 제4 3-상태 버퍼(404)가 열린 상태에서 주변 회로부 쓰기 버스(304)를 통해 주변 회로부(218)로 전송된다.

<41> 도 4는 본 발명에 따른 마이크로 컨트롤러를 위한 데이터 버스 시스템의 테스트 모드시에서의 클락 신호에 따른 내부 메모리 데이터 이동을 설명하기 위하여 나타내 보인 도면이다.

<42> 도 4를 참조하면, 내부 메모리 억세스 신호(IOE)가 클락 신호에 동기되어 제공되며, 이 내부 메모리 억세스 신호(IOE)의 상승 에지(raising edge)에 동기되어 내부 메모리(216)로부터의 데이터(D0, D1, D2, …, D8, D9)가 덤프(dump)된다. 이와 같이 내부 메모리 억세스 신호(IOE)가 클락 신호에 동기되어 제공되므로 덤프 속도도 클락 신호에 비례하게 되며, 결과적으로 1 사이클 억세스로 테스트를 수행할 수 있으므로 테스트 소요 시간을 단축시킬 수 있다.

<43> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【발명의 효과】

<44> 이상의 설명에서와 같이, 본 발명에 따른 마이크로 컨트롤러를 위한 데이터 버스 시스템에 의하면, 데이터 버스를 내부 억세스 버스, 외부 억세스 버스 및 내부 메모리 테스트 버스로 구별하여 배치하고, 내부 억세스 버스와 외부 억세스 버스를 래치 구조로 상호 연결되도록 함으로써, 중앙 처리 장치, 내부 메모리, 주변 회로부 등의 마이크로 컨트롤러를 구성하는 단위 장치들 사이의 데이터 이동에 의한 각 버스의 부하 커패시턴스를 감소시킬 수 있으며, 이에 따라 고속 동작 및 저 전력 소모에 적합하며, 빠른 내부

1020020061487

출력 일자: 2002/10/29

메모리 테스트 속도를 제공하는 데이터 버스 시스템을 제공할 수 있다는 이점을 제공한다.

【특허청구범위】**【청구항 1】**

입/출력부, 중앙 처리 장치, 내부 메모리 및 주변 회로부를 포함하는 마이크로 컨트롤러를 위한 데이터 버스 시스템에 있어서,

상기 중앙 처리 장치로부터 나가는 데이터와 외부로부터 상기 입/출력부 또는 내부 메모리로 들어가는 데이터에 의해 사용되는 외부 억세스 버스;

상기 중앙 처리 장치로 들어가는 데이터와 상기 입/출력부 또는 내부 메모리로부터 나가는 데이터와, 그리고 상기 주변 회로부로 들어가거나 주변 회로부로부터 나가는 데이터에 의해 사용되는 내부 억세스 버스; 및

상기 내부 메모리가 상기 입/출력부로 통해 나가는 데이터에 의해 사용되는 내부 메모리 테스트 버스를 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 2】

제1항에 있어서,

상기 외부 억세스 버스 및 내부 억세스 버스는 래치 구조로 상호 연결되는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 3】

제1항에 있어서,

상기 중앙 처리 장치와 상기 내부 엑세스 버스 사이에서 데이터 이동 통로를 제공하는 중앙 처리 장치 읽기 버스;

중앙 처리 장치 읽기 신호에 의해 인에이블되어 상기 중앙 처리 장치 읽기 버스를 통해 데이터가 이동되도록 하는 제1 3-상태 버퍼;

상기 중앙 처리 장치와 상기 외부 엑세스 버스 사이에서 데이터 이동 통로를 제공하는 중앙 처리 장치 쓰기 버스; 및

중앙 처리 장치 쓰기 신호에 의해 인에이블되어 상기 중앙 처리 장치 쓰기 버스를 통해 데이터가 이동되도록 하는 제2 3-상태 버퍼를 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 4】

제1항에 있어서,

상기 내부 메모리를 읽기 위하여 상기 내부 메모리와 상기 내부 엑세스 버스 사이에 배치된 내부 메모리 읽기 컨트롤 블록; 및

상기 내부 메모리를 쓰기 위하여 상기 내부 메모리와 상기 외부 엑세스 버스 사이에 배치된 내부 메모리 쓰기 컨트롤 블록을 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 5】

제1항에 있어서,

상기 주변 회로부로부터 상기 내부 엑세스 버스로의 데이터 이동 통로를 제공하는 주변 회로부 읽기 버스;

주변 회로부 읽기 신호에 의해 인에이블되어 상기 주변 회로부 읽기 버스를 통해 데이터가 이동되도록 하는 제3 3-상태 버퍼;

상기 내부 억세스 버스로부터 상기 주변 회로부로의 데이터 이동 통로를 제공하는 주변 회로부 쓰기 버스; 및

주변 회로부 쓰기 신호에 의해 인에이블되어 상기 주변 회로부 쓰기 버스를 통해 데이터가 이동되도록 하는 제4 3-상태 버퍼를 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 6】

제1항에 있어서,

소정의 인에이블 신호에 의해 인에이블되어 상기 내부 메모리와 상기 내부 메모리 테스트 버스 사이의 데이터 전송을 가능하게 하는 제5 3-상태 버퍼를 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 7】

제6항에 있어서,

상기 인에이블 신호는 내부 메모리 억세스 인에이블 신호, 테스트 모드 신호 및 내부 메모리 억세스 신호를 입력하는 하는 AND 게이트의 출력 신호인 것을 특징으로 하는 데이터 버스 시스템.

【청구항 8】

제7항에 있어서,

상기 내부 메모리 억세스 인에이블 신호는 시스템 클럭에 동기되어 제공되며, 상기 내부 메모리 억세스 인에이블 신호의 상승 에지에 동기되어 상기 내부 메모리 데이터가 덤프되는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 9】

제1항에 있어서,

외부 데이터 전송을 위한 데이터 포트;

상기 데이터 포트의 데이터를 컨트롤하기 위한 데이터 포트 컨트롤 블록; 및

상기 데이터 포트와 상기 데이터 포트 컨트롤 블록 및 상기 외부 억세스 버스 사이의 데이터 전송 통로를 제공하는 외부 데이터 버스를 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 10】

제9항에 있어서,

소정의 인에이블 신호에 의해 인에이블되어 상기 내부 메모리 테스트 버스로부터

상기 데이터 포트 컨트롤 블록으로 데이터를 전송시키는 제6 3-상태 버퍼를 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 11】

제10항에 있어서,

상기 인에이블 신호는 테스트 모드 신호 및 내부 메모리 인에이블 신호를 입력으로

하는 AND 게이트의 출력 신호인 것을 특징으로 하는 데이터 버스 시스템.

【청구항 12】

제9항에 있어서,

외부 데이터 쓰기 신호에 의해 인에이블되어 상기 내부 억세스 버스로부터 상기 데이터 포트 컨트롤 블록으로의 데이터 전송을 가능하게 하는 제7 3-상태 버퍼; 및
내부 메모리 읽기 신호에 의해 인에이블되어 상기 내부 억세스 버스로부터 상기 데이터 포트 컨트롤 블록으로의 데이터 전송을 가능하게 하는 제8 3-상태 버퍼를 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 13】

제9항에 있어서,

소정의 인에이블 신호에 의해 인에이블되어 상기 데이터 포트로부터 상기 외부 억세스 버스로의 데이터 이동을 가능하도록 하는 제8 3-상태 버퍼를 더 구비하는 것을 특징으로 하는 데이터 버스 시스템.

【청구항 14】

제13항에 있어서,

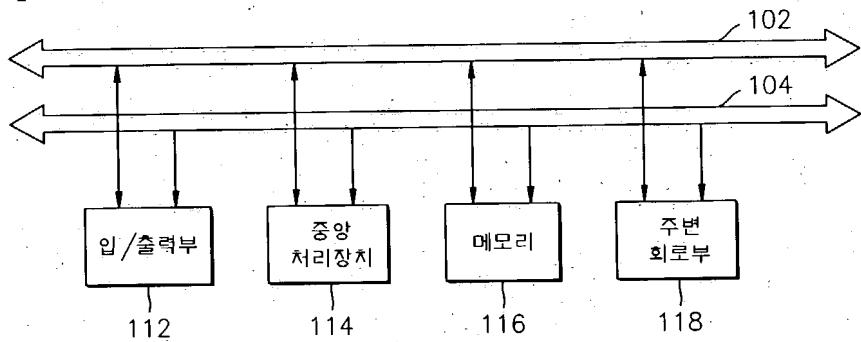
상기 인에이블 신호는 내부 메모리 쓰기 신호, 외부 데이터 읽기 신호 및 내부 메모리 읽기 신호를 입력으로 하는 OR 게이트의 출력 신호인 것을 특징으로 하는 데이터 버스 시스템.

1020020061487

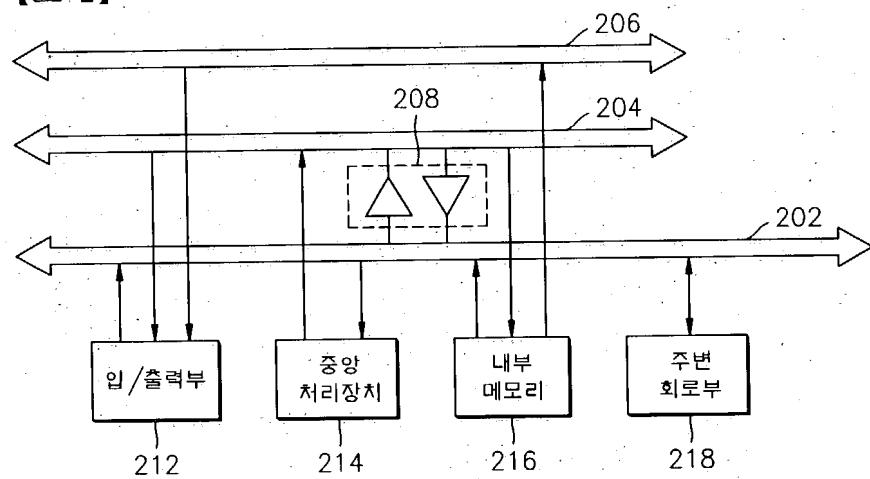
출력 일자: 2002/10/29

【도면】

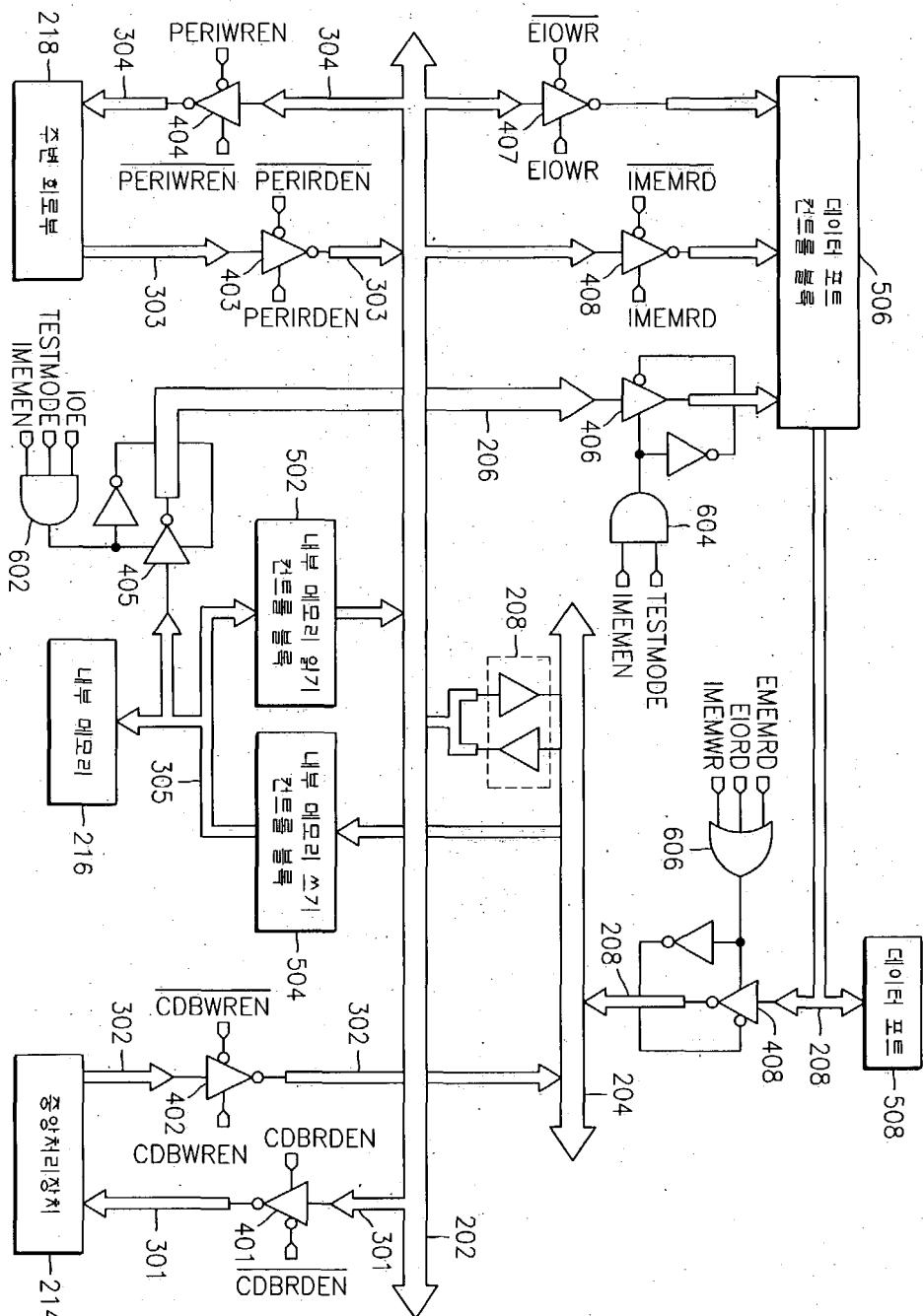
【도 1】



【도 2】



【도 3】



【도 4】

